

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031386

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/82

(21)Application number : 10-194184

(71)Applicant : NEC CORP

(22)Date of filing : 09.07.1998

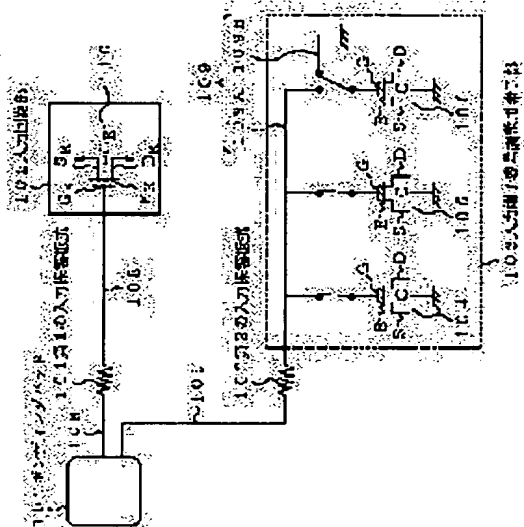
(72)Inventor : MATSUI YOSHINORI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which an input terminal (bonding pad) can be adjusted to have a specified capacitance without needing a large area, increasing manufacturing process, and enlarging delay in an input signal.

SOLUTION: This semiconductor device consists of a first input protective resistor 101 for preventing electrostatic breakdown which is connected with a bonding pad, an input circuit part 102 connected with the bonding pad through the first protective resistor, a second input protective resistor 107 for preventing electrostatic breakdown which is connected with the bonding pad, and elements 104, 105 for adjusting input terminal capacitance which are connected with the bonding pad through only the second input protective resistor out of the first and the second input protective resistors.



## LEGAL STATUS

[Date of request for examination] 09.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3164066

[Date of registration] 02.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓  
特開2000-31386  
(P2000-31386A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	E 5 F 0 3 8
21/822		21/82	P 5 F 0 6 4
21/82		27/04	C

審査請求 有 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平10-194184

(22) 出願日 平成10年7月9日 (1998.7.9)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松井 義徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5F038 AC05 AC12 AC15 AR09 AV15

BH02 BH03 BH07 BH13 CD09

DF05 EZ20

5F064 BB12 BB40 CC09 CC22 CC23

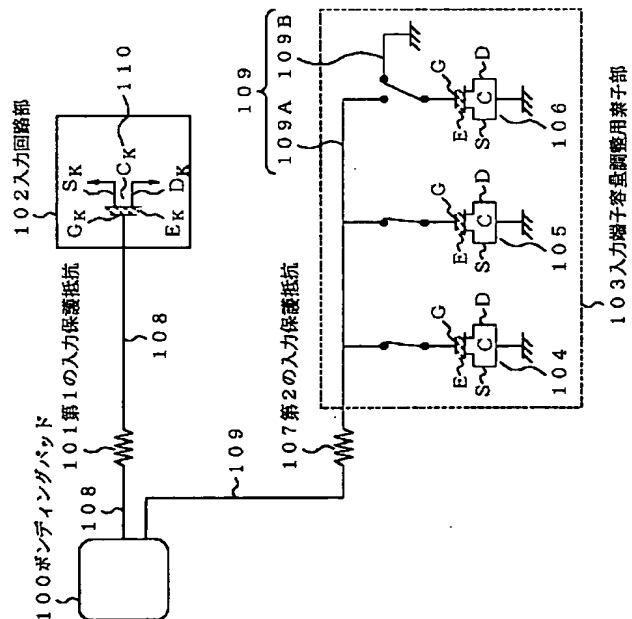
EE53 FF06 FF09 FF26

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 大きな面積を必要とせずに、製造工程を増加させることなく、さらに入力信号の遅延を大きくしないで、所定の容量値に入力端子 (ボンディングパッド) を調整することができる半導体装置を提供する。

【解決手段】 ボンディングパッド100に接続した静電破壊防止用の第1の入力保護抵抗101と、第1の入力保護抵抗を通してボンディングパッドに接続した入力回路部102と、ボンディングパッドに接続した静電破壊防止用の第2の入力保護抵抗107と、第1および第2の入力保護抵抗のうち第2の入力保護抵抗のみを通してボンディングパッドに接続した入力端子容量調整用素子104、105とを有して構成された半導体装置。



## 【特許請求の範囲】

【請求項 1】 ボンディングパッドと、前記ボンディングパッドに接続した静電破壊防止用の第 1 の入力保護抵抗と、前記第 1 の入力保護抵抗を通して前記ボンディングパッドに接続した入力回路部と、前記ボンディングパッドに接続した静電破壊防止用の第 2 の入力保護抵抗と、前記第 1 および第 2 の入力保護抵抗のうち前記第 2 の入力保護抵抗のみを通して前記ボンディングパッドに接続した入力端子容量調整用素子とを有することを特徴とする半導体装置。

【請求項 2】 前記入力端子容量調整用素子は複数の絶縁ゲート電界効果トランジスタもしくは複数の MOS 型容量素子から構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記入力回路部に形成されている絶縁ゲート電界効果トランジスタのゲート絶縁膜と前記入力端子容量調整用素子としての前記絶縁ゲート電界効果トランジスタのゲート絶縁膜もしくは前記 MOS 型容量素子の誘電体膜とは材質及び膜厚が同じ構成になっていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記入力端子容量調整用素子としての前記絶縁ゲート電界効果トランジスタのソース、ドレイン及びチャンネル領域が接地電位になっており、ゲート電極が前記第 2 の入力保護抵抗を通して前記ボンディングパッドに接続していることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 前記入力端子容量調整用素子としての MOS 型容量素子の下部電極となる基板は接地電位になっており、上部電極が前記第 2 の入力保護抵抗を通して前記ボンディングパッドに接続していることを特徴とする請求項 2 記載の半導体装置。

【請求項 6】 前記入力端子容量調整用素子の前記複数の絶縁ゲート電界効果トランジスタもしくは前記複数の MOS 型容量素子のうち、選ばれた一群のトランジスタのゲート電極もしくは MOS 型容量素子の上部電極が前記第 2 の入力保護抵抗を通して前記ボンディングパッドに接続しており、残りの群のトランジスタのゲート電極もしくは MOS 型素子の上部電極が接地されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 7】 前記入力端子容量調整用素子の前記複数の絶縁ゲート電界効果トランジスタのゲート電極と基板間の容量値もしくは前記複数の MOS 型容量素子の上部電極と下部電極間の容量値はたがいに同一の値になっていることを特徴とする請求項 2 記載の半導体装置。

【請求項 8】 前記入力端子容量調整用素子の前記複数の絶縁ゲート電界効果トランジスタもしくは前記 MOS 型容量素子は一方向に配列されており、それらの容量値は配列方向に順次増減していることを特徴とする請求項 2 記載の半導体装置。

【請求項 9】 前記容量値は配列方向に等差級数もしくは

は等比級数で順次増減していることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 および第 2 の入力保護抵抗は多結晶シリコン膜から構成されていることを特徴とする請求項 1 又は請求項 2 記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特に入力端子容量調整用素子を有する半導体装置に関する。

## 【0002】

【従来の技術】近年のメモリバス等の高速化により DRAM 等のメモリデバイスの入力端子容量は最大値のみならず最小値も規格上規定されるようになった。

【0003】そのため入力端子容量の下限値を満たすために容量素子を入力端子に付加する必要が生じてきた。

【0004】従来このような入力端子容量調整用素子としては図 5 に示すような技術が、特開平 3-138962 号公報に開示されている。

【0005】図 5 において、入力回路部 502 が配線 508 によってボンディングパッド 500 に接続している。このボンディングパッド 500 に隣接して複数の MOS 型容量素子 504, 505, 506 を配置している。これらの MOS 型容量素子の下部電極は接地されているシリコン基板であり、その上の酸化シリコン膜からなる誘電体膜を介してそれぞれの上部電極がヒューズを通してボンディングパッド 500 に接続している。そして、MOS 型容量素子 504, 505 のヒューズは切断されていないからこれらの容量値はボンディングパッド 500 に付加され、MOS 型容量素子 506 のヒューズは切断されているからこの容量値はボンディングパッド 500 に付加されない。このように、ヒューズにより付加容量値の調整を可能にしている。

【0006】しかしながらこのような MOS 型容量素子は一般に大きな面積を必要とし、且つこれを形成するための工程を別途必要とする。

【0007】ここでこの MOS 型容量素子を PN 接合型容量素子にした場合も同様であり、一般に大きな面積を必要とし、これを形成するための工程を別途必要とする。

【0008】ここで本発明の発明者は、入力回路部に絶縁ゲート電界効果トランジスタ（以下、MOS トランジスタ、と称す）が形成されて入力回路を構成していることに着目し、本来の回路動作用 MOS トランジスタとは別に入力端子容量調整用素子としての MOS トランジスタをここに形成することを考えた。このようにすれば、MOS トランジスタのデバイスプロセスをそのまま踏襲することにより、容量絶縁膜となるゲート酸化膜を 10 nm 程度に薄くすることができ、これにより入力端子容量調整用素子が占める面積を小さくすることができ、且

つ本来の回路動作用MOSトランジスタと同時に形成することができるから、入力端子容量調整用素子形成のための工程を別途必要としないからである。

【0009】例えば、ゲート酸化膜10nm程度のデバイスプロセスを用いたMOSトランジスタで入力端子容量調整用素子を形成した場合、同じ特性のPN接合型容量素子の面積の1/6以下におさえることができる。

【0010】しかしながらこの場合、本来の回路動作用のMOSトランジスタも入力端子容量調整用素子としてのMOSトランジスタもゲート酸化膜の静電破壊防止のための入力保護抵抗をボンディングパッドとの間に設ける必要がある。

【0011】ここで、ボンディングパッドに印加された入力信号が入力回路部に伝搬する遅延量は、その間の抵抗値Rと容量値Cとの積により決定される。

【0012】配線の寄生抵抗は入力保護抵抗に比べて十分小なので、抵抗値Rは入力保護抵抗の抵抗値 $R_P$ で決定される。

【0013】一方、容量値Cは、入力保護抵抗と入力回路部間の接点に寄生する配線および素子の寄生容量 $C_A$ と入力端子容量調整用素子としてのMOSトランジスタの容量 $C_B$ により構成される。

【0014】したがって、時定数 $R_P \times (C_A + C_B)$ により遅延して入力回路部に伝搬する。

【0015】図6にこの時の信号波形を示す。

【0016】図6において、610で示されるのはボンディングパッドにおける信号波形で、620で示されるのが時定数 $R_P \times (C_A + C_B)$ により遅延して伝搬した入力回路部における信号波形である。

【0017】入力レベルは一般的なLVTTLインターフェースで示している。図中の遅延時間600で示すように、外部からの信号610はデバイス内部で大きな遅延を有して入力回路部に伝搬する。

【0018】現在一般的に使用されている64MSDRAMの場合でこの遅延量を具体的に見積もってみる。

【0019】入力端子容量の規格値は上限が4pF、下限値が2.5pFとなっており、中央値が3.3pFである。通常SDRAM等の高速DRAMでは入力保護抵抗を含めてそれ以降のデバイス内部の信号遅延はデバイスのアクセス値の増加となり特性値を悪化させる。

【0020】したがって、一般にボンディングパッドと入力回路部はできる限り近づく、入力保護抵抗と入力回路部間の接点に寄生する配線および素子の寄生容量 $C_A$ は小さくなるようにレイアウトされる。64MSDRAMの場合 $C_A$ は0.1pF程度である。

【0021】一方それ以外のデバイスの入力回路とボンディングパッド間の、パッド、入力保護素子、リードフレーム等に寄生する容量値は1.7pF程度である。

【0022】したがって規格値を満足させるためには1.5pF程度の容量 $C_B$ をさらに付加し合計で上記し

た中央値3.3pF程度に設定する必要がある。

【0023】入力保護抵抗の値 $R_P$ は350オーム程度である。

【0024】したがって、デバイス内部の信号遅延時間は時定数で、 $350 \text{オーム} \times (0.1 \text{pF} + 1.5 \text{pF}) = 560 \text{pS}$ と入力信号のセットアップ、ホールド規格値2.0nS、1.0nSに対して無視できない程度に大きくなる。

【0025】これらの遅延量はデバイスに付加された信号に対する相対的なデバイス動作の遅延時間として発生するためデバイス特性値の悪化と見なされる。

【0026】

【発明が解決しようとする課題】以上説明したように、図5に示す従来技術では、入力端子容量調整用素子の形成のために大きな面積を必要とするから集積度を犠牲にし、またこの形成のための工程を別途必要とするから製造工程が煩雑になり製造コストの低減に支障を生じる。

【0027】一方、MOSトランジスタのデバイスプロセスをそのまま踏襲しようすると入力信号の遅延が大きくなりデバイス特性が悪化してしまう。

【0028】したがって本発明の目的は、大きな面積を必要とせずに、製造工程を増加させることなく、さらに入力信号の遅延を大きくしないで、所定の容量値に入力端子（ボンディングパッド）を調整することができる半導体装置を提供することである。

【0029】

【課題を解決するための手段】本発明の特徴は、ボンディングパッドと、前記ボンディングパッドに接続した静電破壊防止用の、例えば多結晶シリコン膜からなる、第1の入力保護抵抗と、前記第1の入力保護抵抗を通して前記ボンディングパッドに接続した入力回路部と、前記ボンディングパッドに接続した静電破壊防止用の、例えば多結晶シリコン膜からなる、第2の入力保護抵抗と、前記第1および第2の入力保護抵抗のうち前記第2の入力保護抵抗のみを通して前記ボンディングパッドに接続した入力端子容量調整用素子とを有する半導体装置にある。

【0030】ここで、前記入力端子容量調整用素子は複数のMOSトランジスタもしくは複数のMOS型容量素子から構成されていることが好ましい。この場合、前記入力回路部に形成されているMOSトランジスタのゲート絶縁膜と前記入力端子容量調整用素子としての前記MOSトランジスタのゲート絶縁膜もしくは前記MOS型容量素子の誘電体膜とは材質及び膜厚が同じ構成になっていることがさらに好ましい。

【0031】また、前記入力端子容量調整用素子としての前記MOSトランジスタのソース、ドレイン及びチャンネル領域が接地電位になっており、ゲート電極が前記第2の入力保護抵抗を通して前記ボンディングパッドに接続していることができる。あるいは、前記入力端子容

量調整用素子としての前記MOS型容量素子の下部電極となる基板は接地電位になっており、上部電極が前記第2の入力保護抵抗を通して前記ボンディングパッドに接続していることができる。

【0032】さらに、前記入力端子容量調整用素子の前記複数のMOSトランジスタもしくは前記複数のMOS型容量素子のうち、選ばれた一群のトランジスタのゲート電極もしくはMOS型容量素子の上部電極が前記第2の入力保護抵抗を通して前記ボンディングパッドに接続しており、残りの群のトランジスタのゲート電極もしくはMOS型素子の上部電極が接地されていることができる。

【0033】また、前記入力端子容量調整用素子の前記複数のMOSトランジスタのゲート電極と基板間の容量値もしくは前記複数のMOS型容量素子の上部電極と下部電極間の容量値はたがいにより同一の値になっていることができる。あるいは、前記入力端子容量調整用素子の前記複数のMOSトランジスタもしくは前記複数のMOS型容量素子は一方向に、例えば等差級数もしくは等比級数的に順次増減していることができる。

【0034】このような本発明によれば、専有面積を小にするためにMOSデバイスプロセスを踏襲して薄いゲート絶縁膜を誘電体膜としたMOSトランジスタ、あるいはソース、ドレイン領域を省略して同様に薄い誘電体膜を用いたMOS型容量素子を入力端子容量調整用素子として用い、その静電破壊防止のために入力保護抵抗が必要な場合でも、この入力保護抵抗はボンディングパッドと入力回路部との間に付加される静電破壊防止用の入力保護抵抗とは別のものであるから、入力信号の不希望な遅延を回避することができる。

【0035】

【発明の実施の形態】以下図面を用いて本発明を説明する。

【0036】図1は本発明の第1の実施の形態を示す図である。

【0037】入力回路部102には本来の入力回路としての動作を行うNチャネルMOSトランジスタ110が設けられている。このMOSトランジスタ110はP型シリコン基板上にすなわちP型のチャネル領域C<sub>K</sub>上に熱酸化により形成された膜厚10nmのシリコン酸化膜からなるゲート絶縁膜E<sub>K</sub>と、その上の多結晶シリコンゲート電極G<sub>K</sub>と、ゲート電極G<sub>K</sub>に対して自己整合的に形成されたN型ソース領域S<sub>K</sub>およびN型ドレイン領域D<sub>K</sub>から構成されている。

【0038】この入力回路部102は、多結晶シリコン膜から成り、抵抗値が350オームの第1の入力保護抵抗101を通して配線108によりボンディングパッド100に接続している。ボンディングパッド100にサージ電圧が発生した場合に、第1の入力保護抵抗101によってMOSトランジスタ110のゲート絶縁膜E<sub>K</sub>

の静電破壊が防止される。

【0039】一方、入力端子容量調整用素子部103には、多数のMOSトランジスタが入力端子容量調整用素子として一方向（図で横方向）に配列しているが、図では3個のMOSトランジスタ104、105、106を例示している。

【0040】入力端子容量調整用素子としてのそれぞれのトランジスタは、P型シリコン基板上にすなわちP型のチャネル領域C上に熱酸化により形成された膜厚10nmのシリコン酸化膜からなるゲート絶縁膜Eと、その上の多結晶シリコンゲート電極Gと、ゲート電極Gに対して自己整合的に形成されたN型ソース領域SおよびN型ドレイン領域Dから構成されている。

【0041】入力端子容量調整用素子部103におけるMOSトランジスタ104、105、106は入力回路部102におけるMOSトランジスタ110と同一の製造工程で作成されていくから、MOSトランジスタ104、105、106のゲート酸化膜EはMOSトランジスタ110のゲート酸化膜E<sub>K</sub>と同じ膜厚、同じ材質構成、すなわち微細なMOSトランジスタのデバイスプロセスを用いた薄い膜厚構成になっている。

【0042】入力端子容量調整用素子としてのそれぞれのMOSトランジスタ104、105、106の基板に形成されたソース領域S、ドレイン領域Dおよびチャネル領域Cは接地されており、これにより接地された基板がMOS容量素子の下部電極となっており、その上の膜厚10nmの薄いゲート絶縁膜EがMOS容量素子の誘電体膜となり、その上のゲート電極GがMOS容量素子の上部電極となっている。

【0043】MOS容量素子構造となっているMOSトランジスタ104、105、106のうち、MOSトランジスタ104、105のゲート電極はクロムやアルミ等の金属膜から成る配線109の第1の部分109Aによって、多結晶シリコン膜から成り、抵抗値が350オームの第2の入力保護抵抗107の一方に端に接続され、この第2の入力保護抵抗107の他方の端が配線109によりボンディングパッド100に接続している。

【0044】これによりMOSトランジスタ104、105のMOS容量値がボンディングパッド100に付加される。そして、ボンディングパッド100にサージ電圧が発生した場合に、第2の入力保護抵抗107によってMOSトランジスタ104、105のゲート絶縁膜Eの静電破壊が防止される。

【0045】一方、MOSトランジスタ103のゲート電極は配線109の第2の部分109Bによって接地されるから、このトランジスタのMOS容量値はボンディングパッド100に付加されない。

【0046】配線109は層間絶縁膜に設けられたコンタクトホールを通してそれぞれの多結晶シリコンゲート電極Gに接続されており、このうちにどのトランジスタ

のゲート電極Gを配線の第1の部分109Aにより第2の入力保護抵抗107を通してボンディングパッド100に接続するか、どのトランジスタのゲート電極Gを配線の第2の部分109Bにより接地するかは、配線109のパターンで決定されるから、所定の付加容量が得られるように配線109のパターンを設計する。

【0047】この第1の実施の形態では、トランジスタ104のMOS容量値を $C_{104}$ 、トランジスタ105のMOS容量値 $C_{105}$ 、トランジスタ106のMOS容量値を $C_{106}$ とすると、 $C_{104} = C_{105} = C_{106}$ である。すなわち同様の誘電体膜Eを用いている入力端子容量調整用素子としてのMOSトランジスタは互いに同じ面積（ゲート電極Gが重畳しているゲート絶縁膜Eの面積）を有しているから、互いに同じMOS容量値となっている。

【0048】したがって図1に示すように、入力端子容量調整用素子としてのMOSトランジスタの配列の一方に側（図で左側）からゲート電極がボンディングパッド100に接続するMOSトランジスタを選択し、他方の側（図で右側）からゲート電極が接地されるMOSトランジスタを選択している。このようにすることにより、配線109（109A、109B）のパターン構成が容易となる。

【0049】本発明では回路素子としてのMOSトランジスタ110と同様の構成で入力端子容量調整用素子としてのMOSトランジスタを形成しているから、目的の容量を得るための面積を減少させることができ、かつ製造工程を簡素化することができる。

【0050】しかも、入力端子容量調整用素子としてのMOSトランジスタの静電破壊防止用の入力保護抵抗を、入力回路部の本来の動作を行うMOSトランジスタの静電破壊防止用の入力保護抵抗とは別に設けている。

【0051】このために入力端子容量調整用素子の存在に関係なく、ボンディングパッド100に入力された入力信号が短い遅延時間で入力回路部102に伝搬することができる。

【0052】すなわち先に説明したように本発明を用いない場合の時定数は、入力保護抵抗と入力回路部間の接点に寄生する配線および素子の寄生容量 $C_A$ とし、入力端子容量調整用素子の容量 $C_B$ とし、入力保護抵抗の抵抗値を $R_P$ とした場合に、 $R_P \times (C_A + C_B)$ となり、 $350 \text{ オーム} \times (0.1 \text{ pF} + 1.5 \text{ pF}) = 560 \text{ pS}$ と大きな値となる。

【0053】しかし本発明の構成では、入力端子容量調整用素子の容量 $C_B$ が信号の伝搬遅延には関係がなくなるから時定数は $R_P \times C_A$ となり、入力保護抵抗を含むこれ以降のデバイス内部の信号遅延時間は時定数で $350 \text{ オーム} \times 0.1 \text{ pF} = 35 \text{ pS}$ と十分小さな遅延量となる。すなわち、図6の波形630に示すように、外部からの信号610からの遅延時間が小となる。

【0054】図2、図3及び図4はそれぞれ本発明の第2、第3及び第4の実施の形態を示す図である。尚、図2乃至図4において図1と同一もしくは類似の箇所は同じ符号を付してあるから、重複する説明は省略する。

【0055】図2に示す第2の実施の形態において、入力端子容量調整用素子用のMOSトランジスタ204、205、206のMOS容量値は順次増加している。すなわち、トランジスタ204のMOS容量値を $C_{204}$ 、トランジスタ205のMOS容量値 $C_{205}$ 、トランジスタ206のMOS容量値を $C_{206}$ とすると、 $C_{204} < C_{205} < C_{206}$ となっている。

【0056】この場合、 $(C_{206} - C_{205}) = (C_{205} - C_{204})$ と等差級数的に増減することができる。あるいは、 $C_{206} / C_{205} = C_{205} / C_{204}$ と等比級数的に増減することもできる。

【0057】入力端子容量調整用素子用のMOSトランジスタ204、205、206のゲート絶縁膜（誘電体膜）Eはいずれも回路素子としてのMOSトランジスタ110のゲート絶縁膜 $E_K$ と同じ膜厚であり、同じ材質である。

【0058】したがって、たがいに異なるMOS容量値を得るには、面積（ゲート電極Gが重畳しているゲート絶縁膜Eの面積）をたがいに異ならしている。

【0059】この第2の実施の形態では異なるMOS容量値を用意しているから、ボンディングパッド100を微細に制御するのに適している。

【0060】第1および第2の実施の形態では、入力端子容量調整用素子はソース領域Sおよびドレイン領域Dも形成しているから、回路素子としてのMOSトランジスタ110と素子形成まで同じように製造することができる。

【0061】しかし、MOS容量としてソース領域Sおよびドレイン領域Dの存在が好ましくない場合は、回路素子としてのMOSトランジスタ110のソース領域 $S_K$ およびドレイン領域 $D_K$ を形成する際に、入力端子容量調整用素子部103をマスクしておいて、図3の第3の実施の形態や図4の第4の実施の形態のように、ソース領域Sおよびドレイン領域Dの形成を省略することもできる。

【0062】これらの実施の形態でも、P型シリコン基板を下部電極Lとし、その上に熱酸化により10nmのシリコン酸化膜からなる誘電体膜EをNチャネルMOSトランジスタ110のゲート絶縁膜 $E_K$ の形成と同時に形成し、その上の多結晶シリコンから成る上部電極UをNチャネルMOSトランジスタ110の多結晶シリコンゲート電極 $G_K$ の形成と同時に形成する。

【0063】このようにして得られたMOS型容量素子304、305、305（図3）、404、405、406（図4）でも、先の実施の形態のMOSトランジスタのゲート絶縁膜Eと同様に省面積のために薄い誘電体

膜Eを用いておりその静電破壊防止のために入力保護抵抗を必要とするが、先の実施の形態と同様にここで用いる第2の入力保護抵抗107やこれらのMOS型容量素子は入力信号の伝搬に関係ないから、入力信号の遅延の増大にはならない。

【0064】図3は図1と対応して示したものであり、MOS型容量素子304、305、305はたがいに同様の誘電体膜Eを有し、かつたがいに同じ面積（上部電極Uが重なる薄い誘電体膜Eの面積）であるから、たがいに同じMOS容量値になっている。

【0065】図4は図2と対応して示したもので、MOS型容量素子404、405、406は同じ膜厚、同じ材質の誘電体膜Eを有しているが、図で左から右に、面積（上部電極Uが重なる薄い誘電体膜Eの面積）を順次大きくすることにより、等差級数的もしくは等比級数的にMOS容量値を増加させている。

【 0 0 6 6 】

【発明の効果】以上説明したように本発明は、専有面積を小にするためにMOSデバイスプロセスを踏襲して薄いゲート絶縁膜を誘電体膜としたMOSトランジスタ、あるいはソース、ドレイン領域を省略して同様に薄い誘電体膜を用いたMOS型容量素子を入力端子容量調整用素子として用い、その静電破壊防止のために入力保護抵抗が必要な場合でも、この入力保護抵抗はボンディングパッドと入力回路部との間に付加される静電破壊防止用の入力保護抵抗とは別のものであるから、入力信号の不所望な遅延を回避することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態を示す図である。

【図 2】 本発明の第 2 の実施の形態を示す図である。

【図 3】 本発明の第 3 の実施の形態を示す図である。

【図 4】 本発明の第 4 の実施の形態を示す図である。

【図5】従来技術を示す図である。

【図6】入力保護抵抗による入力信号電位と時間の関係を示す図である。

【符号の説明】

100    ボンディングパッド  
101    第1の入力保護抵抗  
102    入力回路部  
103    入力端子容量調整用素子部  
104, 105, 106, 204, 205, 206  
入力端子容量調整用素子としてのMOSトランジスタ

107 第2の入力保護抵抗

108 配線

109 配線

109A 配線109の第1の部分

109B 配線109の第2の部分

110 入力回路を構成するMOSトランジスタ

304, 305, 306, 404, 405, 406  
20 入力端子容量調整用素子としてのMOS型容量素子

500 ボンディングパッド

502 入力回路部

504, 505, 506 MOS型容量素子

508 配線

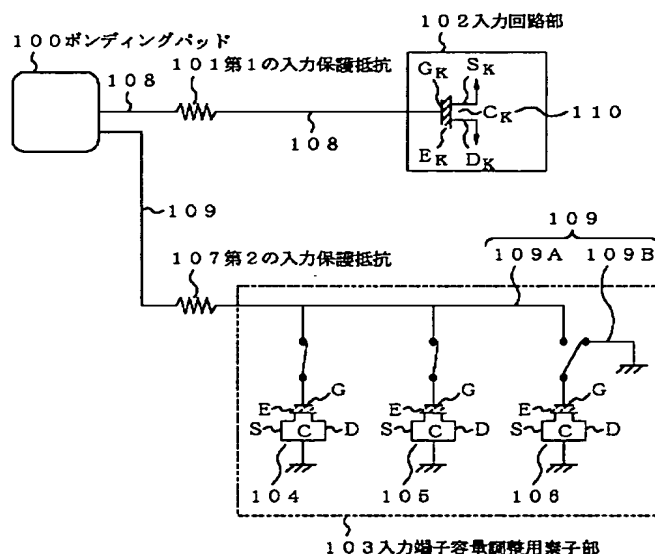
600 デバイス内部信号遅延

610 ボンディングパッドにおける信号波形

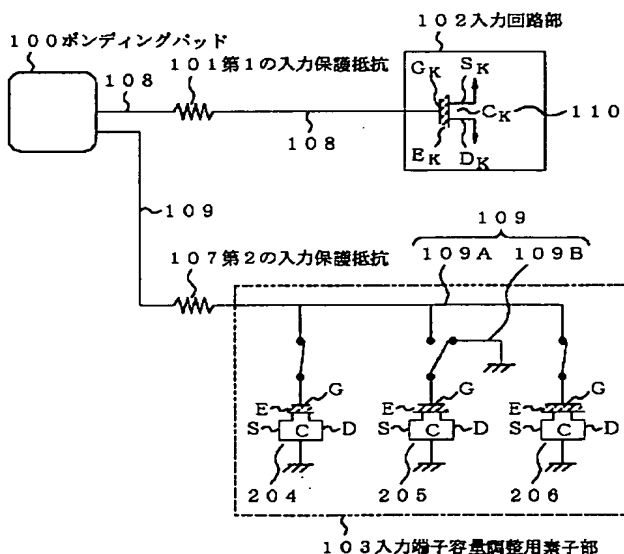
620 本発明を用いない場合の入力回路部における  
信号波形

630 本発明を用いた場合の入力回路部における信号波形

【図 1】

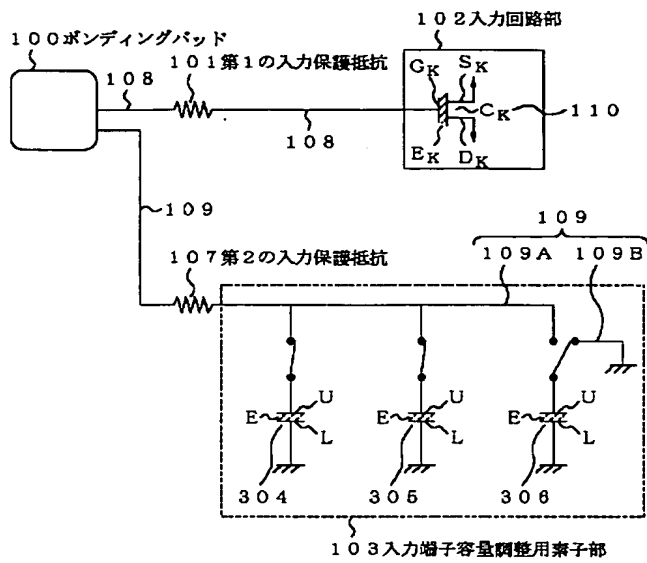


【图 2】

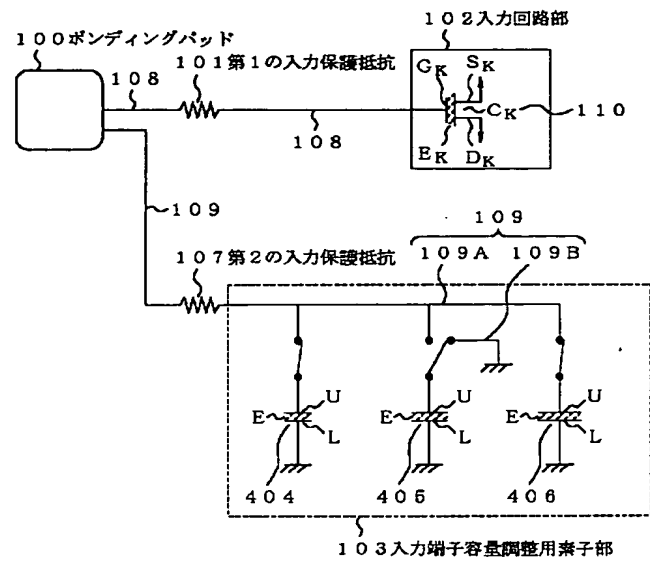




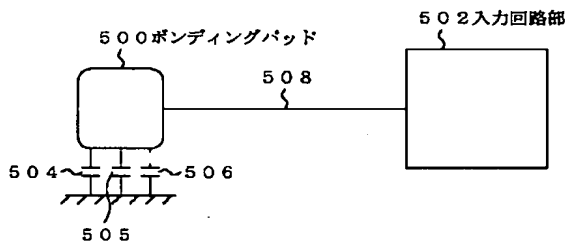
【図 3】



【図 4】



【図 5】



【図 6】

